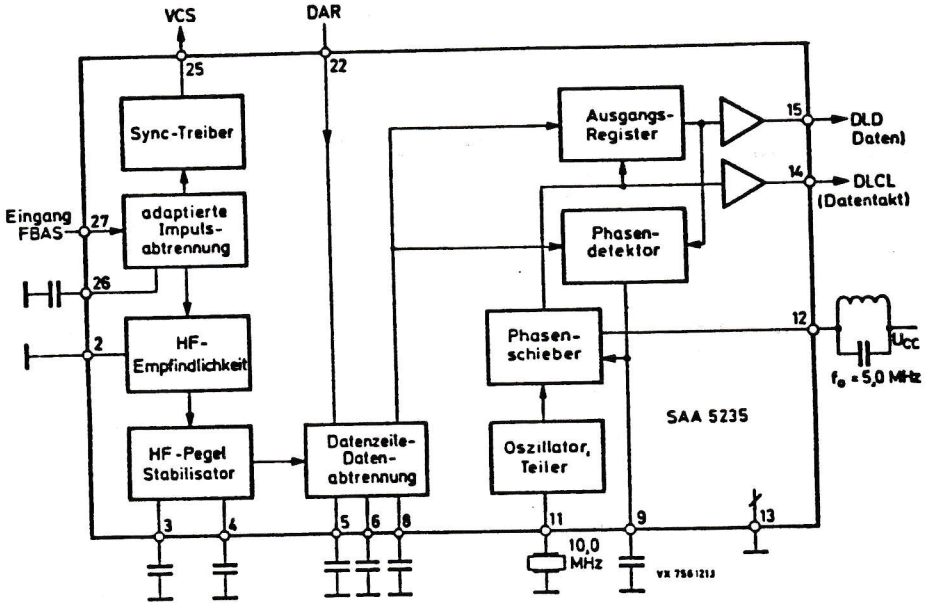
DATEN VORLÄUFIGER MUSTER

SAA 5235

Monolithisch integrierte bipolare Schaltung
DATENZEILEN - PROZESSOR
zum Abtrennen der Daten
aus den Zeilen Z16 und Z329 des Fernsehsignals

- adaptive Datenabtrennung aus dem FBAS-Signal
- quarzgenaue Datentakt-Regeneration für die Datenrate von 2,5 Mbit/s
- phasenrichtige Verkopplung von Takt und Eingangssignal
- FBAS-Eingangspegel umschaltbar



Kurzdaten				
Speisespannung	U_{CC}	=	12	V
Speisestrom	I_{CC}	<	70	mA
Video-Eingangssignalpegel	$U_{i\ mm}$	=	1 / 2,5	V
Daten-Ausgangssignal DLD	$U_{DLD\ mm}$	=	3,5	V
5 MHz-Datentakt-Ausgangssignal DLCL	$U_{DLCL\ mm}$	=	3,5	V
Quarzfrequenz	f_{Qu}	=	10,000	MHz
Umgebungstemperatur	ϑ_U	=	0 ... +70	°C

VALVO

SAA 5235

Allgemeine Beschreibung

Datenzeilen-Prozessor für ein VPS-Empfängerkonzept mit einer Datenzeilen-Decoderschaltung, z.B. SAF 1134.
Der Datenzeilen-Prozessor erfüllt folgende Aufgaben:

- Abtrennen und Regenerieren der Datenzeilen-Informationen aus dem FBAS-Signal
- Erzeugung eines zur Datenrate von 2,5 Mbit/s synchronen Taktsignals von 5,000 MHz
- wahlweise Anpassung auf 1V- oder 2,5 V-FBAS-Eingangssignalpegel
- Ausgabe eines vom FBAS-Signal abgetrennten Synchronsignals VCS
- Ausgabe der Daten- und Taktsignale über Treiberstufen. Die Daten sind biphase-codiert.

Eine adaptierte Schaltung trennt die Daten ab, sie mißt die Amplitude der Datensignale und schneidet bei 50 % ab, um große Störbefreiung zu erreichen. Die Impulsflanken der Bits werden zum Anstoßen eines Phasenschiebers benutzt, der zusammen mit dem freilaufenden Oszillator doppelter Frequenz den Synchrontakt regeneriert.

Das Valvo-Datenzeilen-Konzept benutzt einen dazugehörenden Datenzeilen-Decoder, der die erforderlichen Prüfungen der Daten vornimmt. Die gewonnenen Daten werden für eine Mikrocontrollersteuerung über den I^2C-Bus zur Auswertung zur Verfügung gestellt (Datenzeilendecoder SAF 1134 mit I^2C-Bus-Schnittstelle).

Anschlußbelegung und Funktionshinweise

Anschluß	Signal
(2)	FBAS-Eingangspegelwahl. Bei LOW wird die Verstärkung auf einen 1 V-Pegel und bei offenem Eingang auf einen 2,5 V-Pegel eingestellt.
(3)	HF-Pegelstabilisator, Kondensator für die Filterzeitkonstante
(4)	HF-Pegelstabilisator, Kondensator für interne amplitudenabhängige Regelspannung
(5)	Ladekondensator für den Schneidepegel der adaptierten Datenabtrennung.
(6)	Ladekondensator für den Nullpegel der adaptierten Datenabtrennung
(8)	Kondensator für das Zeitverhalten der adaptierten Datenabtrennung
(9)	Takt-Phasendetektor, Anschluß für Ladekondensator

(11) 10,000 MHz-Quarzanschluß, Frequenz für doppelte Datenrate

(12) Filteranschluß für den 5,000 MHz-Datentakt

(13) Masse (0 V)

(14) 5 MHz-Datentakt DLCL

(15) Datenzeile-Daten DLD

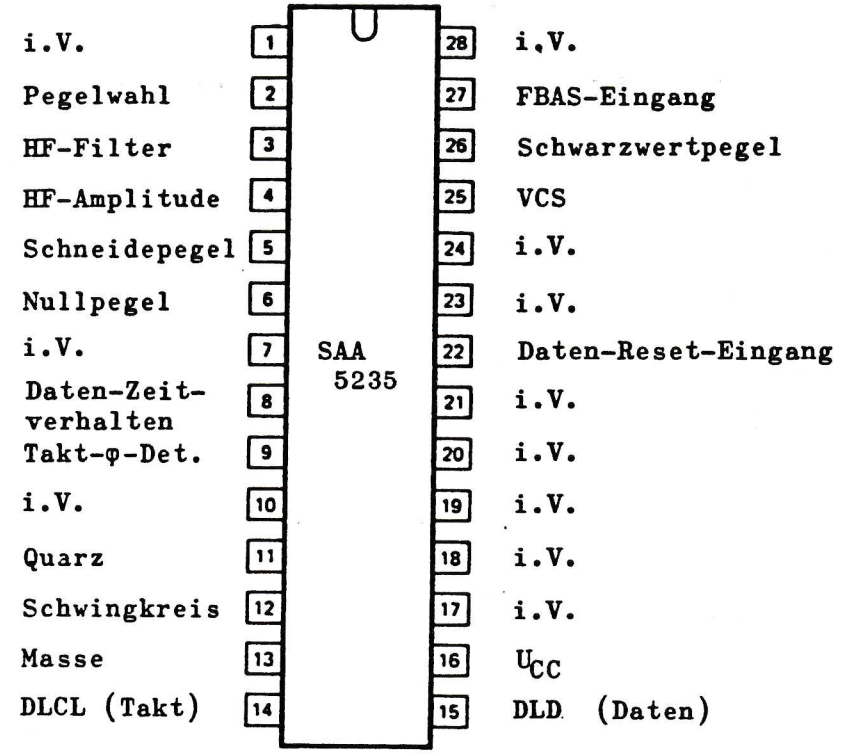
(16) U_{CC} +Speisespannung

(22) Data-Reset DAR (siehe Bild 2)

(25) VCS-Ausgang. Vom FBAS abgetrenntes Synchronsignal

(26) Schwarzwertpegel-Ladekondensator für die adaptierte Synchronimpuls-abtrennung.

(27) FBAS-Eingangssignal über Koppelkondensator



i.V. = innere Verbindung

Gehäuse SOT-117, dual in line, Epoxid-Plastik, 28 Anschlüsse

Absolute Grenzwerte

Speisespannung	$U_{CC(16/13)}$	= max.	13,2	V
Umgebungstemperatur	ϑ_U	=	0 ... +70	°C
Lagerungstemperatur	ϑ_S	=	-20 ... +125	°C

Kenn- und Betriebswerte

bei U_{CC} = 12 V, ϑ_U = 25 °C, nach Bild 3, sofern nicht anders angegeben.

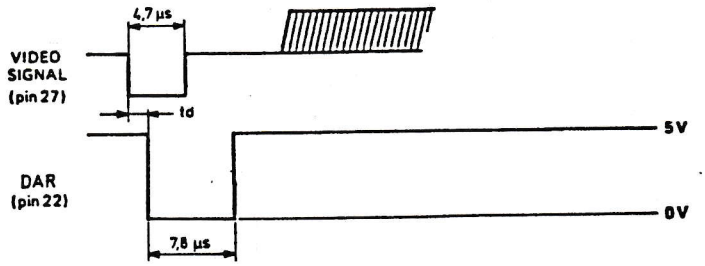
		min.	typ.	max.	
Speisespannung	$U_{CC(16)}$	10,8	12	13,2	V
Speisestrom	I_{CC}	-	70	-	mA
FBAS-Eingang, Anschluß 27					
Eingangssignalpegel bei					
Anschluß 2 an Masse	$U_{i\ 27\ mm}$	0,7	1	1,4	V
Anschluß 2 offen	$U_{i\ 27\ mm}$	1,75	2,5	3,5	V
Synchronsignalamplitude	$U_{i\ 27\ mm}$	0,1	-	1	V
Datenzeiledaten-Amplitude					
bei Anschluß 2 an Masse	$U_{i\ 27\ mm}$	0,30	0,46	0,70	V
bei Anschluß 2 offen	$U_{i\ 27\ mm}$	0,75	1,15	1,75	V
Generatorwiderstand	$R_{G\ 27\ mm}$	-	-	250	Ω
Eingangsempfindlichkeit für $U_{i\ 27}$					
1 V bei	$U_{2/13\ L}$	0	-	0,8	V
2,5 V bei	$U_{2/13\ H}$	2,0	-	5,5	V
Eingangsstrom LOW	$-I_{2\ L}$	0	-	150	µA
Eingangsstrom HIGH	$I_{2\ H}$	0	-	1	mA
Datenzeile-Daten					
Ausgangssignal DLD	$U_{15\ mm}$	2,5	3,5	4,5	V
Übergangszeiten	t_r, t_f	20	30	45	ns
Lastkapazität	$C_{15/13}$	-	-	40	pF
Datentaktsignal DLCL	$U_{14\ mm}$	2,5	3,5	4,5	V
Übergangszeiten	t_r, t_f	20	30	45	ns
Lastkapazität	$C_{14/13}$	-	-	40	pF
Zeitabweichung gegenüber DLD	t_d	-20	0	+20	ns
Gleichspannung an den Ausgängen	$U_{14,15/13}$	-	4	-	V

		min.	typ.	max.	
Sync-Ausgang VCS					
Verzögerung gegen FBAS-Sync	$t_{d\ VCS}$	-	0,35	-	µs
Messungen ohne "Pull-up"-Widerstand					
Ausgangsspannung LOW	$U_{25\ L}$	-	-	0,4	V
Ausgangsspannung HIGH	$U_{25\ H}$	2,4	-	-	V
Ausgangsstrom LOW	$I_{25\ L}$	-	-	0,5	mA
Ausgangsstrom HIGH	$-I_{25\ H}$	-	-	1,5	µA
Messungen mit "Pull-up"-Widerstand (8,2 kΩ in Bild 3)					
Ausgangsspannung LOW	$U_{25\ L}$	-	-	0,45	V
Ausgangsspannung HIGH	$U_{25\ H}$	3,1	-	-	V
Daten-Reset-Eingang					
Eingangsspannung für Reset (LOW)	$U_{22/13}$	0	-	0,5	V
Eingangsspannung für Betrieb (H)	$U_{22/13}$	1	-	5,5	V
Eingangsstrom	I_{22}	-10	-	+10	µA

Bild 2

DAR-Impulsdiagramm

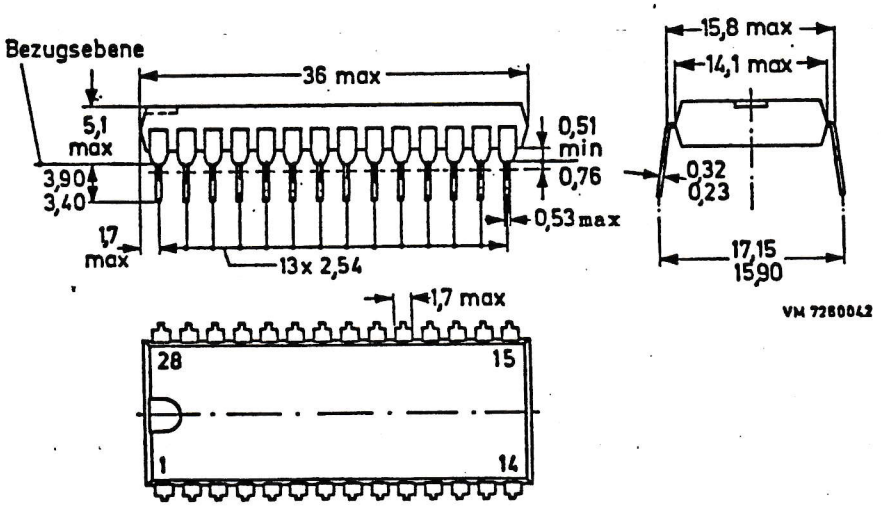
t_d = 0,6 ... 0,9 µs



Kunststoff
dual in line
28 Anschlüsse

Abmessungen in mm

Gehäuse SOT-117



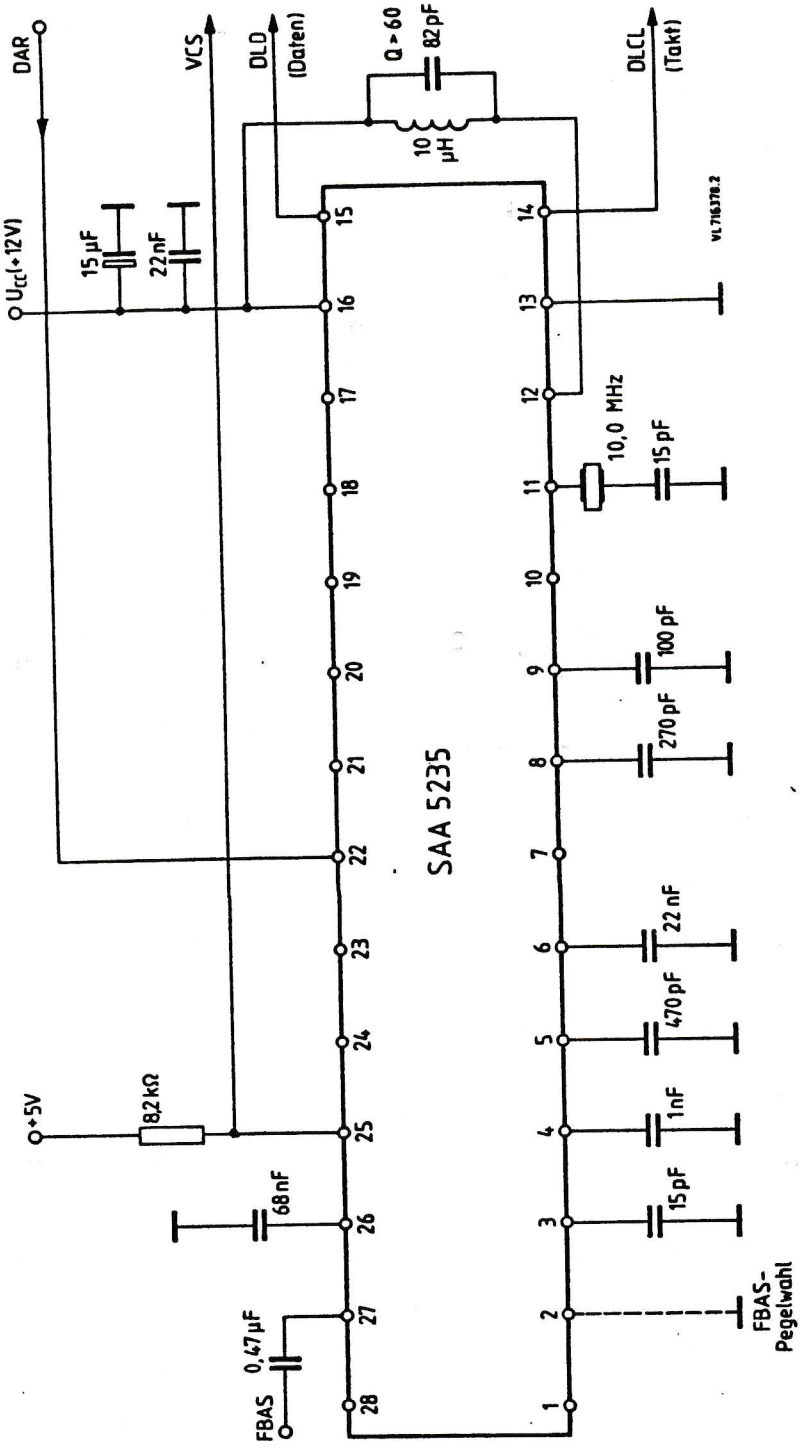


Bild 3 Applikation, geeignet zur Ansteuerung des Datenzeilen-Decoders SAF 1134 (Valvo-Quarz SQ 4818 A für 10,000 MHz)

Dieses Datenblatt gibt keine Auskunft über Liefermöglichkeiten.
Die angegebenen Daten dienen allein der Produktbeschreibung und sind nicht als zugesicherte Eigenschaften im Rechtssinne aufzufassen. Etwaige Schadensersatzansprüche gegen uns – gleich aus welchem Rechtsgrund – sind ausgeschlossen, soweit uns nicht Vorsatz oder grobe Fahrlässigkeit trifft.
Es wird keine Gewähr übernommen, daß die angegebenen Schaltungen oder Verfahren frei von Schutzrechten Dritter sind.
Ein Nachdruck – auch auszugsweise – ist nur zulässig mit Zustimmung des Herausgebers und mit genauer Quellenangabe.